

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11274487
PUBLICATION DATE : 08-10-99

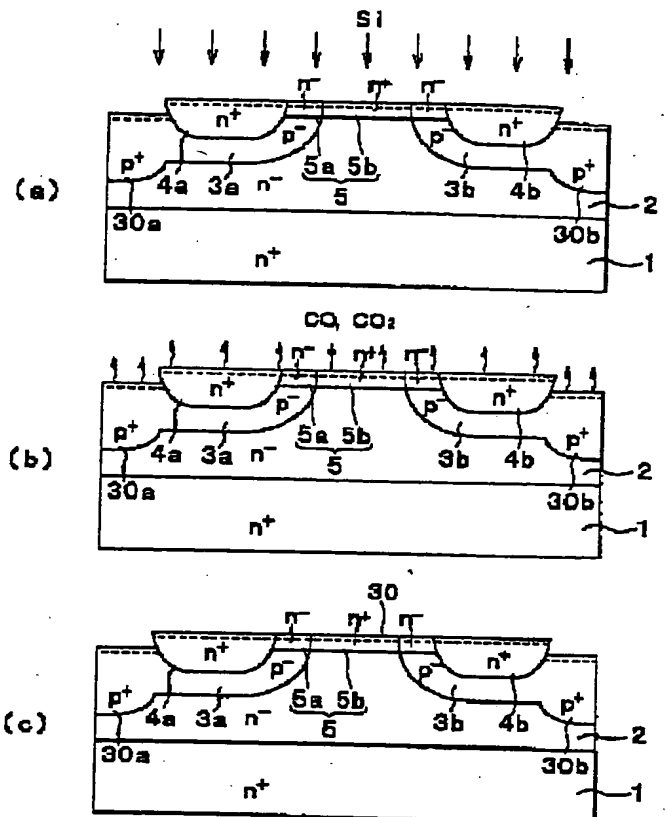
APPLICATION DATE : 25-03-98
APPLICATION NUMBER : 10077876

APPLICANT : DENSO CORP;

INVENTOR : ENDO TAKESHI;

INT.CL. : H01L 29/78 H01L 21/316 H01L 21/336

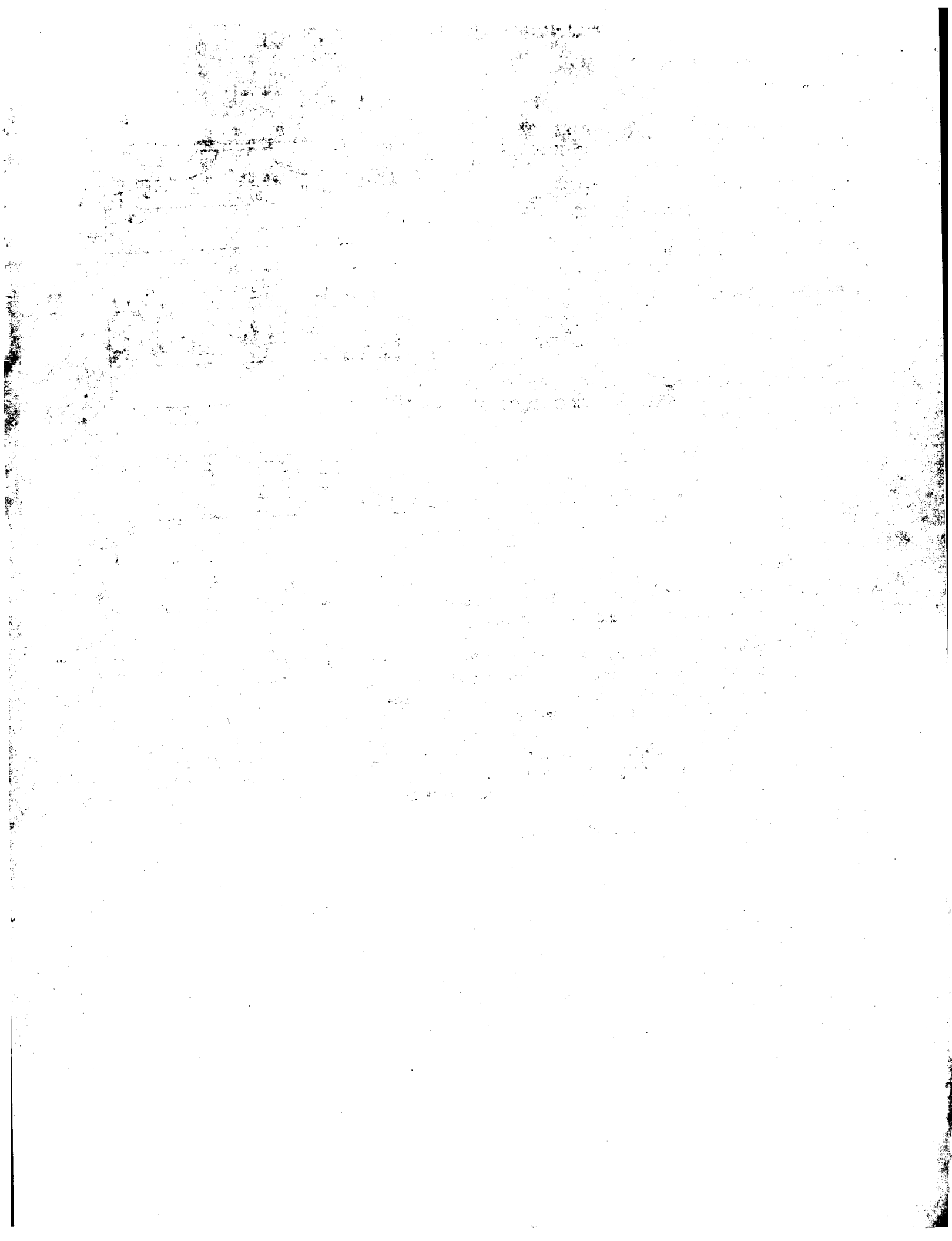
TITLE : METHOD FOR MANUFACTURING
SILICON CARBIDE SEMICONDUCTOR
DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To reduce carbon content and form a gate oxide film having a thin film thickness and fit a normally-off type.

SOLUTION: Before a gate oxide film 7 is formed, ion species are first implanted on a surface layer part of a surface channel layer 5, P-type base regions 3a, 3b and n+-type source regions 4a, 4b, and coupling of silicon and carbon is cut. The coupled-off carbon is oxidized and released from the surface channel layer 5, P-type base regions 3a, 3b and n+-type source regions 4a, 4b to the outside. Thereafter, a heating process is performed and the coupled-off silicon is oxidized to form the gate oxide film 7. Thus, silicon having a little carbon content can be oxidized to form a gate oxide film having a little carbon content.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274487

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/78
21/316
21/336H 0 1 L 29/78
21/316
29/786 5 2 K
S
6 5 2 T
6 5 2 E
6 5 8 F

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21) 出願番号 特願平10-77876

(22) 出願日 平成10年(1998)3月25日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 奥野 英一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 遠藤 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

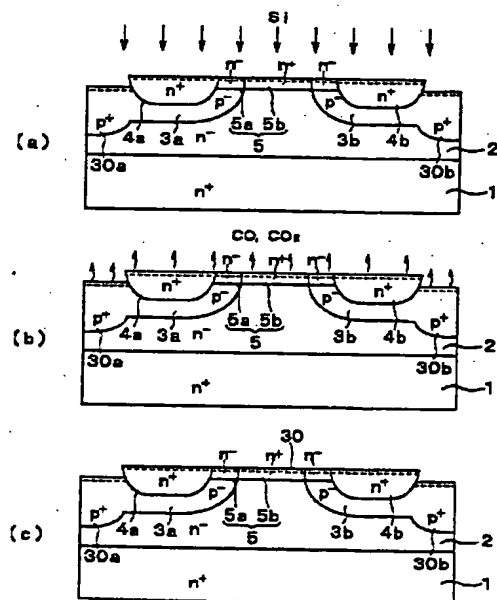
(74) 代理人 弁理士 伊藤 洋二 (外1名)

(54) 【発明の名称】 炭化珪素半導体装置の製造方法

(57) 【要約】

【課題】 炭素含有量が少なく、かつ膜厚が薄いゲート酸化膜が形成でき、ノーマリオフ型とするのに適した炭化珪素半導体装置の製造方法を提供する。

【解決手段】 ゲート酸化膜7を形成する前に、まず表面チャネル層5、 p^- 型ベース領域3a、3b及び n^+ 型ソース領域4a、4bの表層部にイオン種をイオン注入し、珪素と炭素との結合を切っておく。そして、結合が切れた炭素を酸化して、表面チャネル層5、 p^- 型ベース領域3a、3b及び n^+ 型ソース領域4a、4bから外部に放出させる。その後、熱処理を施して結合が切れた珪素を酸化してゲート酸化膜7を形成する。これにより、炭素含有量の少ないシリコンを酸化して形成した、炭素含有量の少ないゲート酸化膜を形成することができる。



1: n^+ 型半導体基板
2: n^+ 型エピタキシャル層
3a, 3b: p^- 型ベース領域
4a, 4b: n^+ 型ソース領域
5: 表面チャネル層
7: ゲート酸化膜

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、前記半導体層の表層部の所定領域に、所定深さを有する第2導電型のベース領域(3a、3b)を形成する工程と、前記ベース領域の表層部の所定領域に、該ベース領域の深さよりも浅い第1導電型のソース領域(4a、4b)を形成する工程と、前記半導体層と前記ソース領域とを繋ぐように、前記ベース領域の上部にチャネル形成領域となる表面チャネル層(5)を形成する工程と、前記表面チャネル層、前記ベース領域及び前記ソース領域の表層部にイオン種をイオン注入し、珪素と炭素との結合を切る工程と、前記結合が切れた炭素を酸化して、前記表面チャネル層、前記ベース領域及び前記ソース領域から外部に放出させる工程と、熱処理を施して前記結合が切れた珪素を酸化し、ゲート酸化膜(7)を形成する工程と、前記表面チャネル層をチャネル領域として、少なくとも該表面チャネル層上に前記ゲート酸化膜を介してゲート電極(8)を形成する工程と、前記ソース領域及び前記ベース領域と接触するソース電極(10)を形成する工程と、前記半導体基板のうち前記主表面とは反対側にドレイン電極(11)を形成する工程と、を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】 前記珪素と前記炭素との結合を切る工程では、イオン種として珪素を用いたイオン注入を行うことを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項3】 前記珪素と前記炭素との結合を切る工程では、イオン種として酸素を用いたイオン注入を行うことを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項4】 前記炭素を外部に放出させる工程では、酸素プラズマでの酸化によって行っていることを特徴とする請求項1乃至3のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項5】 前記ゲート酸化膜を形成する工程では、前記熱処理の温度を1000℃以下で行うことを特徴とする請求項1乃至4のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項6】 前記珪素と前記炭素との結合を切る工程における前記イオン注入の深さを制御することによって、前記ゲート酸化膜が100μm以下の膜厚で形成されるようにすることを特徴とする請求項1乃至5のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置の製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワーMOSFETに関するものである。

【0002】

【従来の技術】本出願人は、プレーナ型MOSFETにおいて、チャネル移動度を向上させてオン抵抗を低減させたものを、特願平9-259076号で出願している。このプレーナ型MOSFETの断面図を図8に示し、この図に基づいてプレーナ型MOSFETの構造について説明する。

【0003】 n^+ 型炭化珪素半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。この n^+ 型炭化珪素半導体基板(以下、 n^+ 型半導体基板という)1の主表面1a上には、基板1よりも低いドーパント濃度を有する n^- 型炭化珪素エピタキシャル層(以下、 n^- 型エピ層という)2が積層されている。

【0004】このとき、 n^+ 型半導体基板1および n^- 型エピ層2の上面を(0001)Si面としているが、 n^+ 型半導体基板1および n^- 型エピ層2の上面を(112-0)a面としてもよい。つまり、(0001)Si面を用いると低い表面状態密度が得られ、(112-0)a面を用いると、低い表面状態密度で、かつ、完全ならせん転位の無い結晶が得られる。

【0005】 n^- 型エピ層2の表層部における所定領域には、所定深さを有する p^- 型ベース領域3aおよび p^- 型ベース領域3bが離間して形成されている。また、 p^- 型ベース領域3aの表層部における所定領域には、ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型ベース領域3bの表層部における所定領域には、ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

【0006】さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型エピ層2および p^- 型ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型エピ層2とを繋ぐように n^- 型SiC層5が配置されている。この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、 n^- 型SiC層5を表面チャネル層という。

【0007】表面チャネル層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっ

ており、かつ、 n^- 型エピ層2及び p^- 型ベース領域3a、3bのドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。また、 p^- 型ベース領域3a、3b、 n^+ 型ソース領域4a、4bの表面部には凹部6a、6bが形成されている。

【0008】表面チャネル層5の上面および n^+ 型ソース領域4a、4bの上面にはゲート絶縁膜（シリコン酸化膜）7が備えられている。このゲート酸化膜7は、表面チャネル層5及び n^+ 型ソース領域4a、4bを熱酸化することによって形成されている。さらに、ゲート絶縁膜7の上にはポリシリコンゲート電極8が形成されている。ポリシリコンゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO（Low Temperature Oxide）膜が用いられている。その上には凹部6a、6bを介して p^- 型ベース領域3a、3b及び n^+ 型ソース領域4a、4bと電気的に接続されたソース電極10が形成され、ソース電極10は n^+ 型ソース領域4a、4bおよび p^- 型ベース領域3a、3bと接している。また、 n^+ 型半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0009】次に、このパワープレーナ型MOSFETの作用（動作）を説明する。上記MOSFETは蓄積モードで動作する。表面チャネル層5において、キャリアは p^- 型ベース領域3a、3bと表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって空乏化される。このため、ポリシリコンゲート電極8に印加する電圧を調整することにより、表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差と、外部からの印加電圧により生じる電位差を変化させ、チャネルの状態を制御することでMOSFETのオン、オフを制御する。

【0010】具体的には、オフ状態において、空乏領域は、 p^- 型ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5内に形成されているため、ポリシリコンゲート電極8に対して正のバイアスを供給することによって、ゲート絶縁膜（ SiO_2 ）7と表面チャネル層5との間の界面において n^+ 型ソース領域4a、4bから n^- 型ドリフト領域2方向へ延びるチャネル領域を形成し、オン状態にスイッチングさせる。

【0011】このとき、電子は、 n^+ 型ソース領域4a、4bから表面チャネル層5を経由し表面チャネル層5からJFET部を含む n^- 型エピ層2に流れる。そして、 n^- 型エピ層（ドリフト領域）2に達すると、電子は、 n^+ 型半導体基板（ n^+ ドレイン）1へ垂直に流れる。このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間に電流を流す。

【0012】このように、プレーナ型MOSFETにおいて、動作モードをチャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードとすることで、導電型を反転させる反転モードのMOSFETに比べ、チャネル移動度を大きくしてオン抵抗を低減させるようにしている。上述したように、ゲート酸化膜7は表面チャネル層5、 n^+ 型ソース領域4a、4b及び p^- 型ベース領域3a、3bを熱酸化することによって形成されている。しかしながら、表面チャネル層5、 n^+ 型ソース領域4a、4b及び p^- 型ベース領域3a、3bは炭化珪素（SiC）で構成されているため、熱酸化の際に炭素（C）が残留し、ゲート酸化膜7に結晶欠陥を発生させてしまう。このため、しきい値電圧を変動させたり、耐圧を悪化させたりするという問題がある。

【0013】そこで、ゲート酸化膜7中における炭素を少なくする方法として、熱酸化の前に、表面チャネル層5、 n^+ 型ソース領域4a、4b及び p^- 型ベース領域3a、3b上に炭素が含まれていないシリコン層やポリシリコン層を成膜しておき、このシリコン層やポリシリコン層を熱酸化するという方法を採用することが考えられる（米国特許5,459,107号明細書参照）。

【0014】

【発明が解決しようとする課題】故障時の安全性を考慮すると、縦型パワーMOSFETは、ゲート電極8に電圧を印加していない時には、ゲート酸化膜7側から及び p^- 型ベース層3a、3b側から共に表面チャネル層5内に空乏層が伸びて電流が流れなくなっているノーマリオフ型であることが望ましい。

【0015】しかしながら、上述のような方法でゲート絶縁膜を形成する場合、バラツキを小さくするために、ある程度の膜厚でシリコン層やポリシリコン層を成膜しなければならず、その結果ゲート酸化膜7の膜厚が厚くなってしまつて（具体的には200nm以上の膜厚となる）、ノーマリオフ型の縦型パワーMOSFETにするのが困難であるという問題がある。つまり、ゲート酸化膜7の膜厚が厚いと、ゲート電極8の仕事関数の影響をあまり与えることができないため、ゲート酸化膜7側から表面チャネル層5に向かって伸びる空乏層の伸びが小さくなり、 p^- 型ベース領域3a、3b側から伸びる空乏層と接触しなくなるのである。

【0016】本発明は上記点に鑑みて成され、炭素含有量が少なく、かつ膜厚が薄いゲート絶縁膜が形成でき、ノーマリオフ型とするのに適した炭化珪素半導体装置の製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1乃至6に記載の発明においては、表面チャネル層（5）、ベース領域（3a、3b）及びソース領域（4a、4b）の表層部にイオン種をイオン注入し、珪素と炭素との結合を切

る工程と、結合が切れた炭素を酸化して、表面チャネル層、ベース領域及びソース領域から外部に放出させる工程と、熱処理を施して前記結合が切れた珪素を酸化してゲート酸化膜(7)を形成する工程と、を備えていることを特徴としている。

【0018】このように、ゲート酸化膜が形成される表面となる表面チャネル層、ベース領域及びソース領域の表層部における珪素と炭素の結合を、イオン注入によって切ったのち、炭素を酸化させて外部に放出させ、その後熱酸化によってゲート酸化膜を形成することにより、炭素含有量の少ないシリコンを酸化して形成した、炭素含有量の少ないゲート酸化膜を形成することができる。また、熱酸化の場合には、シリコン層やポリシリコン層を成膜する場合とは異なり、ゲート酸化膜を制御性よく薄く形成することも可能にすることができる。これにより、例えば、ノーマリオフ型の炭化珪素半導体装置を好適に製造することができる。

【0019】なお、炭素を外部に放出させるには、請求項4に示すように、酸素プラズマで炭素を酸化させればよい。請求項2に記載の発明においては、珪素と炭素との結合を切る工程では、イオン種として珪素を用いたイオン注入を行うことを特徴としている。このように、イオン主として珪素を用いれば、珪素以外の不純物がほとんど含まれていないゲート酸化膜を形成することができる。

【0020】請求項3に記載の発明においては、珪素と炭素との結合を切る工程では、イオン種として酸素を用いたイオン注入を行うことを特徴としている。このように、酸素をイオン注入するようにすれば、該酸素によって結合が切られた炭素を酸化させることができ、そのまま外部に放出されるようにすることができる。

【0021】請求項5に記載の発明においては、ゲート酸化膜を形成する工程では、熱処理の温度を1000℃以下で行うことを特徴としている。温度が1000℃以下のような比較的低温で熱酸化を行った場合、珪素は酸化されるが、炭化珪素は酸化されない。このため、この程度の温度でゲート酸化膜を形成することにより炭素が外部に放出された部分のみ酸化されるようにでき、より炭素含有量の少ないゲート酸化膜とすることができる。

【0022】従って、請求項6に記載の発明のように、イオン注入の深さを制御することによって、ゲート酸化膜の膜厚を制御することができ、これにより炭化珪素半導体装置をノーマリオフ型にするのに適した膜厚、例えば100μmでゲート酸化膜を形成することができる。

【0023】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1に、本実施の形態におけるノーマリオフ型のnチャネルタイププレーナ型MOSFET(縦型パワーMOSFET)の断面図を示す。本デバイ

スは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。

【0024】図1に基づいて縦型パワーMOSFETの構造について説明する。但し、本実施形態における縦型パワーMOSFETは、上述した図8に示すMOSFETとはほぼ同様の構造を有しているため、異なる部分についてのみ説明する。なお、本実施形態における縦型パワーMOSFETのうち、図8に示すMOSFETと同様の部分については同様の符号を付してある。

【0025】図1に示す縦型パワーMOSFETでは、炭素がほとんど含まれていない、結晶欠陥の少ないシリコン酸化膜でゲート酸化膜7が構成されている点において、図8に示すMOSFETと異なる。このため、ゲート酸化膜7は、しきい値電圧の変動が少なく、耐圧に優れたものとなっている。また、本実施形態ではゲート酸化膜7の膜厚を100nm以下に設定している。このように、薄い膜厚でゲート酸化膜7を形成することにより、ゲート電極8の仕事関数の影響がゲート酸化膜7から表面チャネル層5に伸びる空乏層の伸びに十分に与えられるようになっている。これにより、縦型パワーMOSFETが効果的にノーマリオフ型になるようにしている。

【0026】図8に示すMOSFETでは、表面チャネル層5を全てn⁻型層で形成しているが、本実施形態における縦型パワーMOSFETでは表面チャネル層のうちチャネル領域となる部分5aをn⁻型層で形成し、チャネル領域となる部分以外の部分5bをn⁺型層で形成している。すなわち、表面チャネル層5は、p⁻型ベース領域3a、3bの表面部及びn⁻型エピ層2の表層部においてソース領域4a、4bとn⁻型エピ層2とを繋ぐように形成されているが、このうちp⁻型ベース領域3a、3bの表面部をn⁻型層とし、n⁻型エピ層2の表面部をn⁺型層としている。これにより、n⁺型層となる部分5bの抵抗値が小さくなって、オン抵抗を低減することができる。

【0027】また、ベース領域3a、3bにおいて、一部厚さが厚くなったディープベース層30a、30bが形成されている。このディープベース層30a、30bは、n⁺型ソース領域に重ならない部分に形成されており、p⁻型ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃くなっている。

【0028】このようなディープベース層30a、30bによって、ディープベース層30a、30b下のn⁻型エピ層2における厚さが薄くなり(n⁺型半導体基板1とディープベース層30a、30bとの距離が短くなり)電界強度を高くすることができ、アバランシェブレークダウン(以下、ブレークダウンと略す)し易くなる。なお、ディープベース層30a、30bはn⁺型ソ

ース領域4a、4bと重ならないように形成しているため、寄生NPNトランジスタを動作させにくくすることができる。

【0029】次に、図1に示す縦型パワーMOSFETの製造工程を、図2～図5を用いて説明する。

〔図2(a)に示す工程〕まず、n型4Hまたは6Hまたは3C-SiC基板、すなわちn⁺型半導体基板1を用意する。ここで、n⁺型半導体基板1はその厚さが400μmであり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5μmのn⁻型エピ層2をエピタキシャル成長する。本例では、n⁻型エピ層2は下地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0030】〔図2(b)に示す工程〕n⁻型エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとしてB⁺(若しくはアルミニウム)をイオン注入して、p⁻型ベース領域3a、3bを形成する。このときのイオン注入条件は、温度が700℃で、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。

【0031】〔図2(c)に示す工程〕LTO膜20を除去した後、基板1の上面からN⁺をイオン注入して、n⁻型エピ層2の表層部及びp⁻型ベース領域3a、3bの表面部(表層部)に表面チャネル層5を形成する。このときのイオン注入条件は、温度が700℃、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。これにより、表面チャネル層5は、p⁻型ベース領域3a、3bの表面部では補償されてn型の不純物濃度が薄いn⁻型層として形成され、n⁻型エピ層2の表面部ではn型の不純物濃度が濃いn⁺型層として形成される。

【0032】また、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)は、ゲート電極8に電圧を印加していない時におけるp⁻型ベース領域3a、3bから表面チャネル層5に広がる空乏層の伸び量と、ゲート絶縁膜7から表面チャネル層5に広がる空乏層の伸び量との和よりも小さくなるようになっている。

【0033】具体的には、p⁻型ベース領域3a、3bから表面チャネル層5に広がる空乏層の伸び量は、表面チャネル層5とp⁻型ベース領域3a、3bとのPN接合のビルトイン電圧によって決定され、ゲート絶縁膜7から表面チャネル層5に広がる空乏層の伸び量は、ゲート絶縁膜7の電荷及びゲート電極8(金属)と表面チャネル層5(半導体)との仕事関数差によって決定されるため、これらに基づいて表面チャネル層5の膜厚を決定している。

【0034】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べ

て安全性を確保することができる。また、図1に示すように、p⁻型ベース領域3a、3bは、ソース電極10と接触していて接地状態となっている。このため、表面チャネル層5とp⁻型ベース領域3a、3bとのPN接合のビルトイン電圧を利用して表面チャネル層5をピンチオフすることができる。例えば、p⁻型ベース領域3a、3bが接地されてなくてフローティング状態となっている場合には、ビルトイン電圧を利用してp⁻型ベース領域3a、3bから空乏層を延ばすということができないため、p⁻型ベース領域3a、3bをソース電極10と接触させることは、表面チャネル層5をピンチオフするのに有効な構造であるといえる。

【0035】なお、本実施形態では、不純物濃度が低いものでp⁻型ベース領域3a、3bを形成しているが、不純物濃度を高くすることによりビルトイン電圧をより大きく利用することができる。また、本実施形態では炭化珪素によって縦型パワーMOSFETを製造しているが、これをシリコンを用いて製造しようとする、p⁻型ベース領域3a、3bや表面チャネル層5等の不純物層を形成する際における熱拡散の拡散量の制御が困難であるため、上記構成と同様のノーマリオフ型のMOSFETを製造することが困難となる。このため、本実施形態のようにSiCを用いることにより、シリコンを用いた場合と比べて精度良く縦型パワーMOSFETを製造することができる。

【0036】また、ノーマリオフ型の縦型パワーMOSFETにするためには、上記条件を満たすように表面チャネル層5の厚みを設定する必要があるが、シリコンを用いた場合にはビルトイン電圧が低いため、表面チャネル層5の厚みを薄くしたり不純物濃度を薄くして形成しなければならず、不純物イオンの拡散量の制御が困難なことを考慮すると、非常に製造が困難であるといえる。しかしながら、SiCを用いた場合にはビルトイン電圧がシリコンの約3倍と高く、表面チャネル層5の厚みを厚くしたり不純物濃度を濃くして形成できるため、ノーマリオフ型の蓄積型MOSFETを製造することが容易であるといえる。

【0037】〔図3(a)に示す工程〕表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN⁺をイオン注入し、n⁺型ソース領域4a、4bを形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

〔図3(b)に示す工程〕そして、LTO膜21を除去した後、フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEによりp⁻型ベース領域3a、3b上の表面チャネル層5を部分的にエッチング除去する。

【0038】〔図3(c)に示す工程〕さらに、LTO膜22をマスクにしてB⁺をイオン注入し、ディープベース層30a、30bを形成する。これにより、ベース

領域3a、3bの一部が厚くなったものとなる。このディープベース層30a、30bは、 n^+ 型ソース領域4a、4bに重ならない部分に形成されると共に、 p^- 型ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃く形成される。

【0039】〔図4(a)に示す工程〕LTO膜22を除去した後、全面にシリコン(Si)をイオン注入する。この場合のシリコンの打ち込み深さは、表面チャネル層5を超えないようにし、少なくとも n^- 型層5aの厚さを超えないようにする。例えば、 n^- 型層5aの厚さを $0.3\mu\text{m}$ とした場合には、エネルギーが 30keV 、ドーズ量が $1 \times 10^{15}\text{cm}^{-2}$ とすると良い。

【0040】また、このときイオン注入を、基板法線方向に対して 10° 程度の角度以下とするように斜めに行うことによって、注入されるイオンの深さを浅くすることができる。このため、後に形成するゲート酸化膜7の膜厚をより薄くすることができる。また、イオン注入は、深さ方向に均一にイオン種が注入されるように、ボックスプロファイルを形成する様に注入エネルギー、ドーズ量を変えて行っている。

【0041】〔図4(b)に示す工程〕シリコンのイオン注入後、低温 O_2 プラズマ(例えば 500°C 程度又はそれ以上の温度)による表面処理を行い、シリコンのイオン注入により生じた格子間炭素を酸化する。これにより、結合が切れた炭素は効果的に酸化炭素(CO 又は CO_2)となって外部に放出される。

【0042】このとき、低温 O_2 プラズマという比較的低温の条件で酸化を行っているため、イオン注入によって結合が切れた部分(以下、イオン注入層という)の炭素が酸化され、この下に位置する炭化シリコン(SiC)中の炭素は酸化されない。このため、イオン注入層の炭素のみが外部に放出される。このように、炭素が外部に放出されたイオン注入層は、図4(c)に示すようにシリコン層30となる。このシリコン層30は、 O_2 プラズマ時の温度条件により異なるが、シリコン結晶やアモルファスシリコンで構成されている。

【0043】〔図5(a)に示す工程〕このシリコン層をウェット酸化によってゲート酸化膜とする。このときの雰囲気温度は、 1000°C 以下の低温度(例えば、 850°C)としている。この程度の温度によって酸化を行った場合、イオン注入層におけるシリコンの部分は酸化されるが、この下部における炭化珪素は酸化が進行しない。このため、上記ウェット酸化は、イオン注入層におけるシリコンの酸化が完了したら、即座に終了する。そして、上述したようにイオン注入の深さを制御していることから、ゲート酸化膜7は膜厚が 100nm 以下で形成が可能となる。なお、イオン注入の深さを制御することによってゲート酸化膜7の膜厚は任意に設定すること

ができる。

【0044】また、ゲート酸化膜と表面チャネル層5との界面における界面単位密度の更なる低減のために、上記ウェット酸化の後、不活性ガス中にて熱処理を行い、さらに再酸化処理を行う。熱処理は、不活性ガスとして N_2 、 Ar 、 H_2 、 NO 、 N_2O を用いており、温度を 1080°C としている。また、再酸化は 950°C でのウェット酸化としている。

【0045】その後、ゲート絶縁膜7の上にポリシリコンゲート電極8をLPCVDにより堆積する。このときの成膜温度は 600°C とする。

〔図5(b)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は 425°C であり、成膜後に 1000°C のアニールを行う。

【0046】〔図5(c)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に 1000°C のアニールを行う。このようにして、図1に示す縦型パワーMOSFETが完成する。次に、この縦型パワーMOSFETの作用(動作)を説明する。

【0047】本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ポリシリコンゲート電極に電圧を印加しない場合は、表面チャネル層5においてキャリアは、 p^- 型ベース領域3a、3bと表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。ポリシリコンゲート電極8に電圧を印加することにより、表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0048】つまり、ポリシリコンゲート電極8の仕事関数を第1の仕事関数とし、 p^- 型ベース領域3a、3bの仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5の n 型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。

【0049】また、オフ状態において、空乏領域は、 p^- 型ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からポリシリコンゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO_2)7と表面チャネル層5との間の界面において n^+ 型ソース領域4a、4bから n^- 型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、 n^+ 型ソース領域4

a、4bから表面チャネル層5を経由し表面チャネル層5から n^- 型エピ層2に流れる。そして、 n^- 型エピ層2（ドリフト領域）に達すると、電子は、 n^+ 型半導体基板1（ n^+ ドレイン）へ垂直に流れる。

【0050】このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。

（他の実施形態）上記実施形態では、シリコンと炭素の結合を切るためのイオン注入に、イオン注入種としてシリコンを用いているが、シリコン以外のイオン注入種を用いてもよい。つまり、イオン注入時の衝撃によってシリコンと炭素の結合を切ることができるため、このような効果が得られればイオン注入種に何をを用いても良い。

【0051】例えば、イオン注入種としてシリコンに代えて炭素を用いることができる。この場合、注入された炭素によって結合が切れた炭素を酸化し、酸化炭素として外部に放出させることができるという効果が得られる。但し、シリコンを用いた場合には、シリコン層30内に他の不純物が混入しないため、イオン種としてシリコンを用いるのが好ましい。

【0052】また、ゲート酸化膜7をウェット酸化によって形成したが、酸化速度が遅いためウェット酸化を選択したのであり、選択したい酸化速度に応じてドライ酸化としても構わない。さらに、上記実施形態では、イオン注入によって炭化材料における炭素と珪素の結合を切り、炭素を外部に放出させるようにしてゲート酸化膜7の中に炭素が含まれないようにしているが、ゲート酸化膜7を形成する前に、表面チャネル層5上にアモルファスシリコンを成膜しておき、このアモルファスシリコンを熱酸化することによってゲート酸化膜7を形成するようにしてもよい。

【0053】このアモルファスシリコンは、室温程度の低温で成膜できることから、成長速度を小さくすることができるため、制御性よく膜厚を薄くすることができ、また膜厚を薄くしても（例えば10nm程度）均一性よく成膜することができるため、バラツキなくゲート酸化膜7の膜厚を薄くすることができる。これに比して、ポリシリコン等は高温で成膜しなければならないことから、成長速度が大きくなり、制御性良く膜厚を薄くできないこと、さらに膜厚を薄くするとバラツキが大きくなることからアモルファスシリコンを用いてゲート酸化膜7を形成するということは有効であるといえる。

【0054】また、上記実施形態では、 n^- 型エピ層2の表層部及び p^- 型ベース領域3a、3bの表面部（表

層部）に直接イオン注入を行うことにより表面チャネル層5を形成しているが、図6に示すようにこれらの上に n^- 型の表面チャネル層5をエピタキシャル成長させるようにし、その後フォトリソ、イオン注入によって表面チャネル層5のうちチャネル領域以外の部分の n 型不純物濃度を選択的に濃くするようにしてもよい。但し、このように行った場合には製造工程が増加するため、上記実施形態の方法で縦型パワーMOSFETを製造するのが好ましい。

【0055】また、図7に示すように、 n^+ 型ソース領域4a、4bを形成しておいた後に、 n^+ 型ソース領域4a、4bや p^- 型ベース領域3a、3b及び n^- 型エピ層2の表面上に表面チャネル層40をエピタキシャル成長させるようにしたものにおいて、チャネル領域以外の部分を n^+ 型層として形成するようにしてもよい。但し、この場合においても表面チャネル層40をエピタキシャル成長させ、その後さらに図6に示すものと同様にイオン注入を行わなければならない、製造工程が増加するため、上記実施形態に示す方法がより効果的であるといえる。

【図面の簡単な説明】

【図1】本発明の一実施形態における縦型パワーMOSFETの断面図である。

【図2】図1に示す縦型パワーMOSFETの製造工程を示す図である。

【図3】図2に続く縦型パワーMOSFETの製造工程を示す図である。

【図4】図3に続く縦型パワーMOSFETの製造工程を示す図である。

【図5】図4に続く縦型パワーMOSFETの製造工程を示す図である。

【図6】他の実施形態における縦型パワーMOSFETを説明するための断面図である。

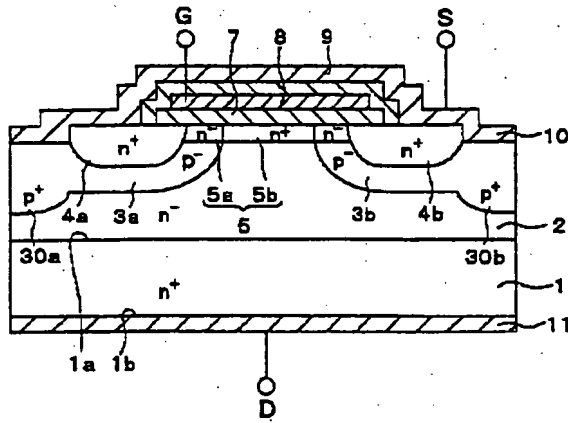
【図7】他の実施形態における縦型パワーMOSFETを説明するための断面図である。

【図8】本出願人が先に公開した縦型パワーMOSFETの構成を示す断面図である。

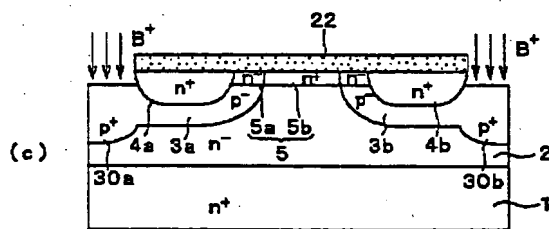
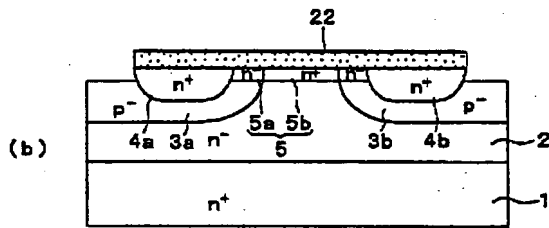
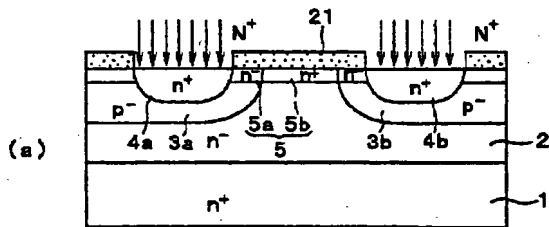
【符号の説明】

1… n^+ 型半導体基板、2… n^- 型エピ層、3a、3b… p^- 型ベース領域、4a、4b… n^+ 型ソース領域、5…表面チャネル層（ n^- 型SiC層）、5a… n^- 型層の部分、5b… n^+ 型層の部分、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…ソース電極、11…ドレイン電極層、30…シリコン層。

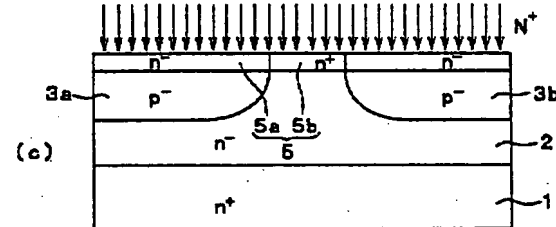
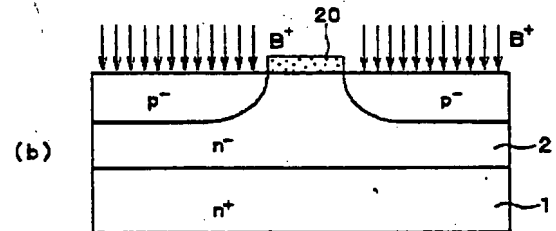
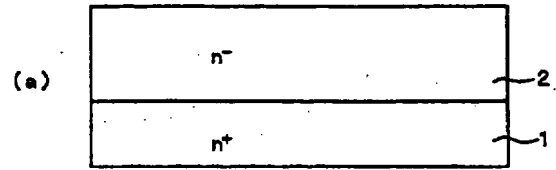
【図1】



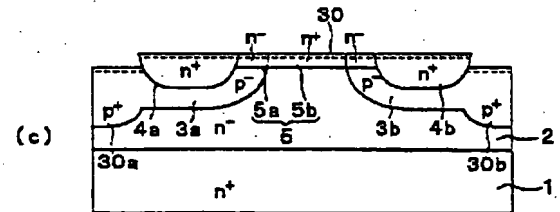
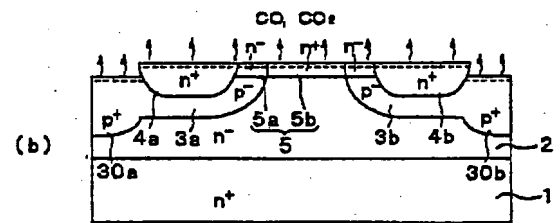
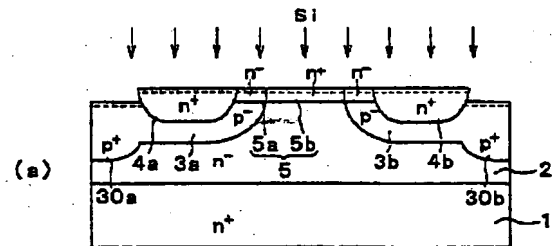
【図3】



【図2】

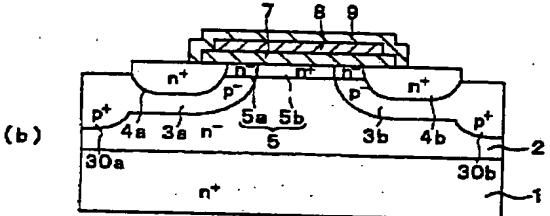


【図4】

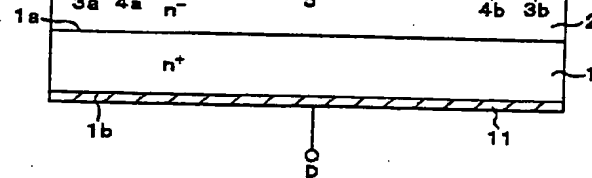


- 1: n⁺型半導体基板
- 2: n⁻型エピ層
- 3a, 3b: p⁻型ベース領域
- 4a, 4b: n⁺型ソース領域
- 5: 表面チャネル層
- 7: ゲート酸化膜

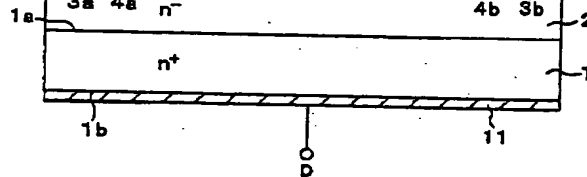
【図5】



【図6】



【図8】



【図7】

